

VLSI 2026 Review

고려대학교 전기전자공학과 박사과정 이윤호

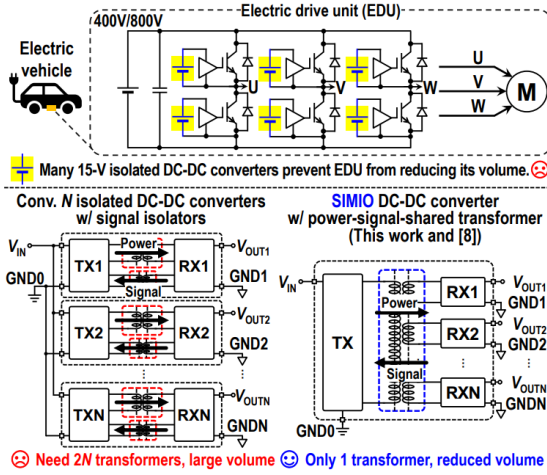
Session 5 Isolated and Multi-Domain Power Conversion

이번 VLSI 2026 Session 5에서는 전기차 구동 시스템과 고성능 컴퓨팅 칩에 요구되는 절연 전원 및 multi-domain power conversion 기술을 다룬 총 4편의 논문이 발표되었다. 본 리뷰에서는 이 가운데 하나의 PCB transformer를 통해 전력과 제어 신호 정보를 함께 전달하는 gate-driver용 SIMIO converter (5-1)와, stacked voltage domain 사이의 부하전류 불균형을 보상하는 single-inductor multiple-output (SIMO) 기반 VSIMO current-mismatch compensator (5-4)를 중심으로 살펴보고자 한다.

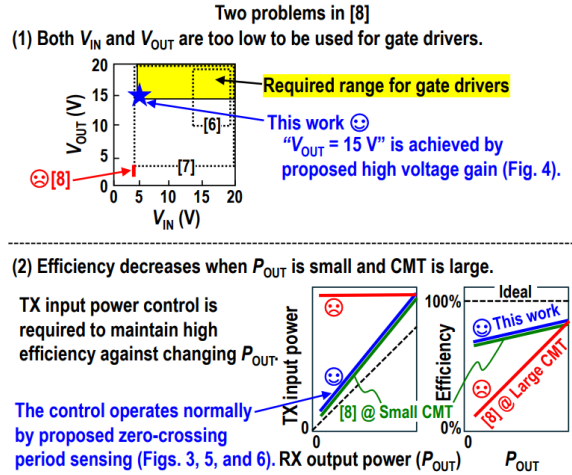
#5-1 본 논문은 전기차 EDU(Electric Drive Unit)의 게이트 드라이버용 절연 전원을 공급하는 과정에서 발생하는 컨버터의 부피 증가와 CMT(Common-Mode Transient)에 의한 효율 저하 문제를 해결하기 위해, 하나의 PCB transformer를 통해 전력과 제어 신호를 함께 전달하는 단일입력에 6개의 절연 출력을 갖는 DC-DC converter를 제안하였다. 아래 그림 1-(a)와 같이 전기차의 3상 인버터에는 일반적으로 6개 이상의 power switch가 사용되며, 각각의 게이트 드라이버를 구동하기 위해 15V 수준의 절연 전원이 필요하다.

기존 구조에서는 각 gate driver마다 별도의 isolated DC-DC converter가 요구하며, 전력 전달용 transformer와 출력 제어를 위한 신호를 전달하기 위해 별도의 signal isolator가 각각 필요하다. 따라서 N개의 절연 출력을 구현하기 위해 큰 부피의 transformer 2N개가 요구되므로 EDU의 전체 부피가 증가한다는 한계가 있었다. 이러한 문제를 개선하기 위해 기존 연구에서는 하나의 PCB transformer를 전력 및 신호 전달에 함께 사용하는 SIMIO(Single-Input Multiple-Isolated-Output) 구조를 제안하여, 별도의 signal isolator 없이 하나의 transformer만으로 다수의 절연 출력을 생성할 수 있었다.

그러나 그림 1-(b)와 같이 기존 SIMIO 구조는 3.3V의 입력 전압으로부터 1.8V~3.3V의 낮은 전압만 출력가능하기에, 최소 5V의 입력과 15V의 출력이 요구되는 gate-driver 전원에는 적용할 수 없다는 한계가 있다. 또한 TX쪽 capacitor 양단의 최대 전압을 감지하여 TX의 입력 전력을 제어하기 때문에, 큰 CMT가 transformer의 기생 커패시턴스를 통해 유입되면 신호가 왜곡되어 출력 부하를 잘못 감지할 수 있고, 효율이 크게 저하되는 문제가 발생한다.



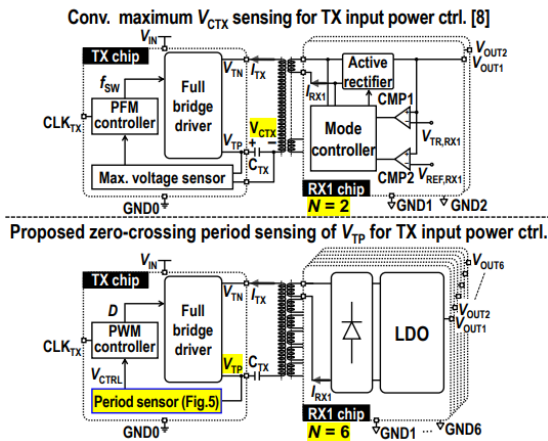
[그림 1-(a)]



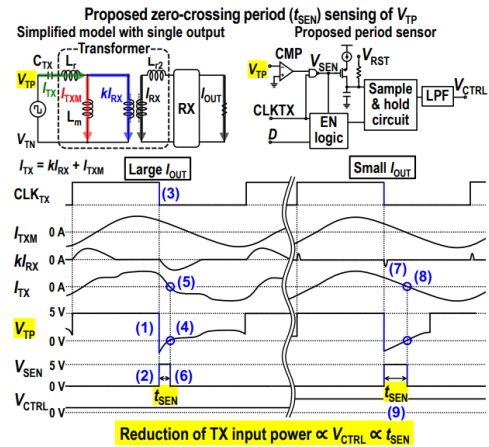
[그림 1-(b)]

[그림 1] 기존 N isolated DC-DC converter (a)와 그에 따른 구조적 동작 한계 사항 (b)

본 논문은 이를 해결하기 위해 아래 그림 2-(a)와 같이 높은 전압 이득을 갖는 fixed-frequency PWM 방식을 적용하고, CMT에 강인한 zero-crossing-period sensing을 이용하여 별도의 signal isolator 없이 5V 입력에서 6개의 15V 절연 출력을 생성한다. 그림 2-(b)는 출력 부하를 별도의 signal isolator 없이 TX 측에서 감지하는 원리를 보여준다. 절연형 converter에서는 RX측 전류가 transformer를 통해 TX 측에 $K_{I_{RX}}$ 로 반영된다. 따라서 TX측 전류 I_{TX} 는 자화전류 I_{TXM} 과 $K_{I_{RX}}$ 의 합으로 결정되며, 출력전류가 변하면 I_{TX} 와 TX 측 센싱 노드 V_{TP} 의 zero-crossing 시점도 함께 변한다. 출력전류가 클 때는 V_{TP} 가 빠르게 0V에 도달하므로 sensing period인 T_{SEN} 이 짧아진다. 반대로 출력전류가 작을 때는 zero-crossing이 지연되어 T_{SEN} 이 길어지는데, Period sensor는 이러한 변화를 아날로그 신호인 V_{CTRL} 로 변환하여, 중부하에서는 충분한 전력을 전달하고 경부하에서는 불필요한 TX 입력 전력을 감소시키도록 PWM을 제어한다.



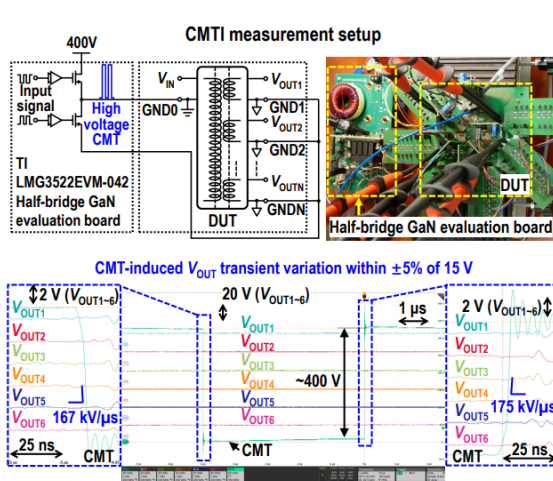
[그림 2-(a)]



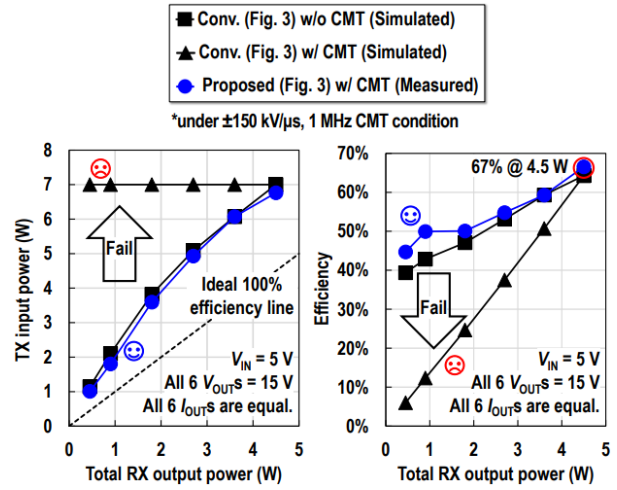
[그림 2-(b)]

[그림 2] 기존(위) 및 본 논문의 converter 구조(아래) (a) 및 제안하는 zero-crossing sensing 동작 (b)

측정 결과, 아래 그림 3-(a)와 같이 400V의 CMT 조건에서 6개의 출력이 모두 $\pm 5\%$ 이내로 유지되었으며, $+175/-167\text{kV}/\mu\text{s}$ 의 CMTI를 달성하였다. 또한 그림 3-(b)와 같이 $\pm 150\text{kV}/\mu\text{s}$, 1MHz의 반복적인 CMT 조건에서도 TX측 전력이 RX측 전력에 따라 조절되었으며, 5V 입력에서 6개의 15V 절연 출력과 4.5W의 최대 출력전력, 67%의 최대 효율을 달성하였다. 아울러 3kV 이상의 절연 성능과 출력당 314mm^3 의 부피를 구현하여, 별도의 signal isolator 없이 높은 CMT 내성과 다중 절연 출력을 제공하는 전기차 gate-driver용 전원 구조의 유효성을 입증하였다.



[그림 3-(a)]



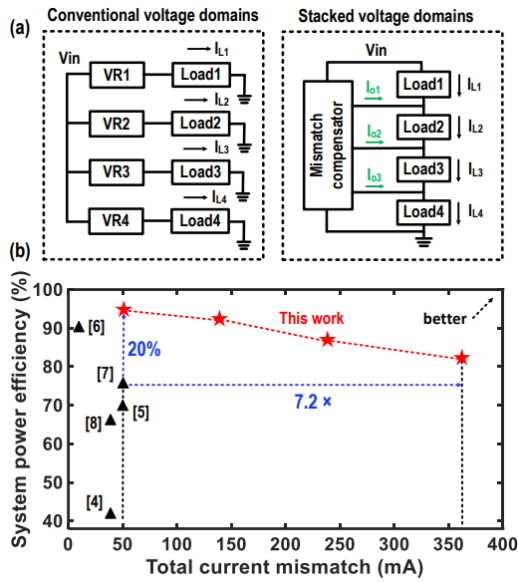
[그림 3-(b)]

[그림 3] CMTI 측정 셋업 및 결과 (a), 기존 및 제안하는 구조의 RX/TX 측 파워 및 효율 그래프 (b).

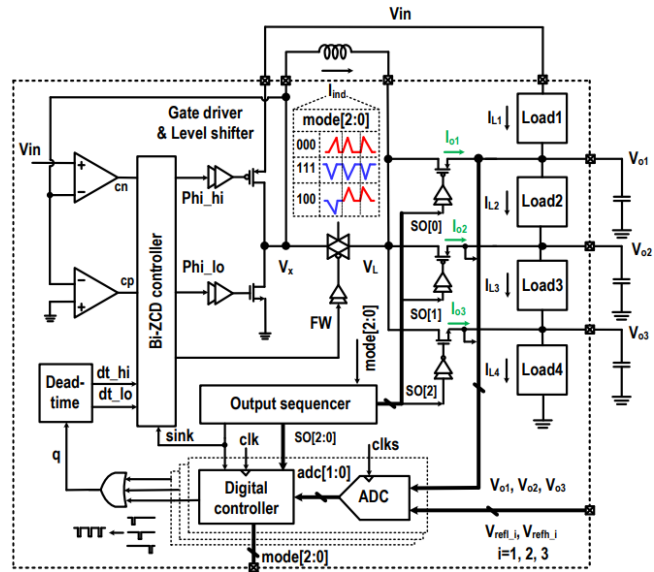
#5-4 본 논문은 AI accelerator 및 고성능 컴퓨팅 칩에 사용되는 다중 voltage domain의 전력 공급 과정에서 발생하는 전력변환 손실과, stacked voltage domain 간의 부하전류 불균형 문제를 해결하기 위해 하나의 inductor를 여러 출력이 공유하는 VSIMO 기반 current-mismatch compensator를 제안하였다. 아래 그림 4-(a)의 왼쪽과 같이 기존 구조에서는 각 voltage domain이 개별 voltage regulator(VR)를 통해 입력전압을 필요한 전압으로 변환하므로, 모든 부하전력이 regulator를 거치면서 추가적인 전력변환 손실이 발생한다. 이러한 손실을 줄이기 위해 기존 연구에서는 그림 4-(a)의 오른쪽과 같이 여러 voltage domain을 직렬로 연결하는 stacked voltage-domain 구조를 제안하였다. 이 구조에서는 입력전압을 여러 domain이 나누어 사용하므로 각 domain을 위한 별도의 step-down converter가 필요하지 않으며, 부하전류가 모두 동일한 이상적인 조건에서는 100%에 가까운 system efficiency를 달성할 수 있다. 또한 voltage regulator(VR)가 전체 부하전력을 처리하지 않고 domain 간의 전류 차이만 보상하므로, 기존 병렬형 전원 구조보다

전력변환 손실을 크게 줄일 수 있다.

그러나 직렬로 연결된 각 domain의 부하전류가 서로 다르면 중간 voltage rail에 전류가 남거나 부족해져 각 domain의 전압이 변하게 된다. 따라서 각 중간 rail에서 남는 전류는 흡수하고 부족한 전류는 공급하는 current-mismatch compensator가 필요하다. 기존 LDO 기반 compensator는 50%의 낮은 시스템 효율을 보이며, switched-capacitor 방식 또한 그림 4-(a)의 아래와 같이 처리 가능한 total current mismatch가 20~50mA, 시스템 효율 역시 약 65~75%로 제한되는 한계가 있었다.



[그림 4-(a)]



[그림 4-(b)]

[그림 4] 기존 및 stacked voltage-domain 구조와 compensator 성능 비교 (위) 제안하는 VSIMO current-mismatch compensator의 전체 구조(b).

본 논문은 이를 해결하기 그림 4-(b)의 VSIMO와 같이 인덕터 기반의 4개의 stacked voltage domain 구조를 제안하였다. VSIMO의 핵심은 각 출력을 필요에 따라 supply mode 또는 sink mode로 동작 시킬 수 있다는 점이다. 어떤 rail에 전류가 부족한 경우에는 일반적인 인덕터 전류를 생성하여 전류를 공급하고, 반대로 전류가 남는 rail에서는 인덕터 전류를 입력 방향으로 형성하여 전류를 회수한다. 이때, 회수된 에너지를 인덕터에 저장한 후 다른 출력에 전류를 공급하는 데 이용한다. 따라서 남는 전력을 열로 소모하는 LDO 방식과 달리 domain 사이에서 에너지를 재사용할 수 있어 부하 불균형이 큰 조건에서도 높은 효율을 유지할 수 있다.

아래 그림 5-(a)는 각 출력의 전압과 보상전류를 결정하는 1.5-bit ADC 및 digital controller의 구조를 보여준다. 1.5-bit ADC를 이용하여 출력전압이 기준 범위보다 높은지, 낮은지 판단하여, encoder를 통해 에러 코드를 출력한다. 이 후 PID controller로 duty code를 생성 후, 1.024GHz로 동작하는 10-bit counter의 값과 비교하여 각 출력을 제어한다.

다. 동일한 voltage 에러라도 supply mode와 sink mode에서는 필요한 전류 방향이 서로 반대이므로 feedback의 부호도 함께 변경되어야 하는데, Supply mode에서는 출력전압이 낮아질수록 양의 보상전류가 증가하도록, sink mode에서는 출력전압이 높아질수록 음의 보상전류를 생성하도록 encoder가 ADC 에러의 부호를 반전한다.

그림 5-(b)는 세 출력의 supply 및 sink mode 조합에 따른 동작을 보여준다. Mode=000에서는 세 출력이 모두 supply mode로 동작하여 모든 구간에서 양의 inductor current가 흐르며, mode=111에서는 세 출력이 모두 sink mode로 동작하여 음의 inductor current가 형성된다. 또한 bidirectional zero-current detector(Bi-ZCD)는 supply mode에서 inductor current가 음의 방향으로 넘어가거나, sink mode에서 양의 방향으로 넘어가는 것을 감지하여 input power FET을 차단한다. 전류가 0A에 도달한 이후에는 freewheeling transistor를 켜서 switching node의 불필요한 진동을 억제한다.

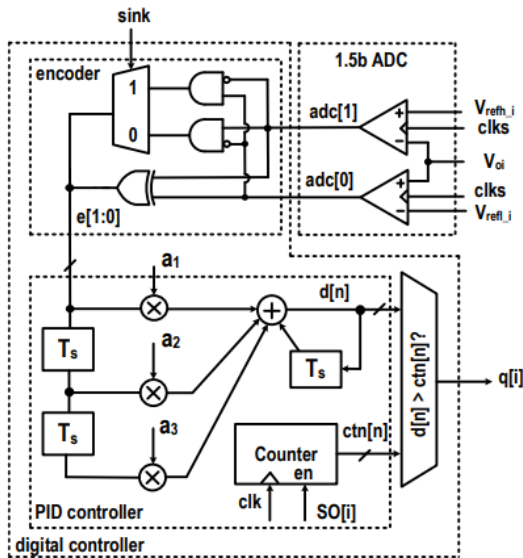
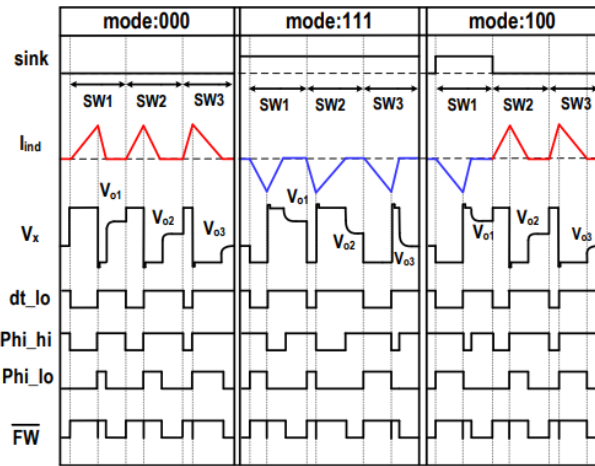


그림 5-(a)]



[그림 5-(b)]

[그림 5] 본 논문의 Bi-ZCD controller 스키메틱 (a) 및 각 mode 별 VSIMO의 동작에 대한 타이밍 다이어그램(b).

측정 결과, 65nm CMOS 공정으로 제작된 VSIMO는 1.6~2.4V의 입력전압 범위에서 4개의 stacked voltage domain을 구동하였으며, 최대 432mW의 mismatch compensation power를 한다. 부하전류가 균형을 이루는 조건에서는 최대 98.5%의 시스템 효율을 달성하였고, 50~360mA의 total current mismatch 조건에서도 82~96%의 효율을 유지하였다. 특히 인접한 domain 사이에서 최대 120mA, 세 intermediate rail의 합으로는 최대 360mA의 mismatch를 보상하면서도 82% 이상의 효율을 달성하였다. 이를 통해 제안한 구조는 기존 compensator보다 최대 7.2배 큰 total current mismatch를 처리하거나, 유사한 mismatch 조건에서 약 20% 높은 시스템 효율을 달성하였다. 결과적으로 VSIMO는

하나의 inductor만으로 여러 rail의 surplus current를 회수하고 부족한 전류를 공급함으로써, stacked voltage domain의 높은 이론적 효율을 실제 불균형 부하 조건에서도 유지할 수 있음을 입증하였다.

저자정보



이윤호 박사과정 대학원생

- 소속 : 고려대학교
- 연구분야 : Power management ICs
- 이메일 : uknow@korea.ac.kr
- 홈페이지 : <https://sites.google.com/site/kubasiclab/home>